

华为 τ 定律横空出世

将对全球半导体产业有何影响？

科技日报记者 崔爽

在5月25日举行的2026国际电路与系统研讨会上，华为公司董事、半导体业务部总裁何庭波在主旨演讲中首次提出半导体全新演进路径——“ τ 定律”。

据了解，基于该定律，华为6年来已成功设计并量产381款芯片。预计到2031年，基于该定律的高端芯片晶体管密度指标，将达到1.4纳米芯片制程（衡量芯片晶体管精密度的指标）的同等水平。

何为 τ 定律？这一定律对于半导体产业意味着什么？科技日报记者就此采访了有关专家。

第一问： τ 定律的突破点在哪？

半个多世纪以来，全球半导体产业始终遵循摩尔定律这一核心规律。

1965年，英特尔联合创始人戈登·摩尔提出，芯片上的晶体管数量大约每两年翻一倍。其本质在于通过不断缩小晶体管尺寸，在同样面积内集成更多晶体管，从而推动性能提升与成本下降。

过去几十年间，芯片制程从90纳米、28纳米一路演进到3纳米甚至2纳米，半导体产业基本沿着“几何缩微”的路径持续发展。但随着先进制程不断逼近物理极限，这一路径正面临多重挑战：一方面，晶体管尺寸逼近物理极限；另一方面，先进制程的成本、功耗与工艺复杂度快速上升，性能提升的边际收益逐渐放缓，摩尔定律出现“见顶”之忧。

为此， τ 定律将关注重点从“尺寸”转向“时间”。

在物理学和电子学中，时间常数 τ 通常用于描述电路中的时间延迟与电阻、电容特性。围绕降低时延、优化数据流、提升互连效率等方向，相关研究已积累多年。

何庭波认为，未来芯片性能的提升，将不再仅依赖于更先进的制程，还可以通过降低系统中的时间成本——包括信号传播、内存访问、互连与同步延迟等，实现性能、能效与晶体管密度的持续提升。

因此，从本质上看， τ 定律以 τ 这一跨层级性能指标为核心，通过在器件、电路、芯片、系统全栈持续压缩统一的“时间成本”，实现整体性能跃迁。

“该定律核心突破，是重构了半导体行业沿用50余年的摩尔定律演进范式。”上海交通大学集成电路学院教授周健军告诉记者，“技术发展不再局限于缩小器件几何尺寸以提升晶体管密度，转而以时间常数 τ 为核心物理锚点，开展全维度协同优化。”

第二问： τ 定律对半导体产业有何影响？

围绕 τ 定律，华为提出“ τ 缩微”（时间缩微）概念，即在器件、电路、芯片和系统各层级，均定义一个特征时间常数，并以其缩减作为统一优化目标。

同时，“逻辑折叠”作为一种设计方法论被提出。该方法通过将数字、模拟与存储电路在垂直方向进行有源层堆叠，在三维空间内重构电路布局，以缩短关键路径、降低互连延迟，并在性能、功耗与面积之间实现协同优化。

何庭波在发表于中国科学院科技论文预发布平台的论文中指出：“ τ 缩微以时间本身而非晶体管面积作为衡量进步的首要指标”。论文提出，未来10年，电子系统的演进应由时间缩微来引导，而非几何缩微。

而基于这一框架，半导体产业的演进将从晶体管工艺转向器件、

架构、软件、系统全栈协同，从“芯片能做多少”转向“计算能有多快、系统响应能有多及时”。

第三问： τ 定律将如何在工程实践中继续落地？

何庭波介绍， τ 定律已构建贯穿器件、电路、芯片到系统层面的多层级协同优化体系。例如，在电路层面，通过逻辑折叠技术突破传统平面布局的物理边界，缩短关键路径的走线长度并有效降低信号传播的电阻和电容负载，实现晶体管密度和电路性能的大幅提升；在芯片层面，通过全栈软硬芯协同设计，基于实际工作负载实现指令流和数据流的细粒度控制，提高系统级效率，降低端到端执行时间。

“将于秋季面世的‘麒麟芯片

2026’是逻辑折叠技术的首次成功实施，它基于全新的自由逻辑设计理念，由单层扩展至双层，并实现晶体管密度等指标的大幅提升。”何庭波透露，诸如此类的大量创新，会逐步落地到2027年及之后的量产芯片中。

展望未来，她预计，到2031年，基于 τ 定律的高端芯片晶体管密度将达到1.4纳米制程的同等水平。

在周健军看来， τ 定律开辟出半导体产业全新演进路径，既重塑行业基础发展准则，也有效延续摩

尔定律技术红利。

“这一理论对全球半导体技术迭代具备引领价值，同时为国内产业链提供全新发展指引：芯片制造不必过度依赖尖端光刻设备，先进封装的战略地位持续抬升；依托电路创新、架构革新与系统级优化，也可弥补工艺制程上的差距，打造高性能的芯片产品。”周健军说。

不过，作为一种新提出的方法论，其在不同场景的适用性，以及与设计工具、产业生态的适配等，还需未来持续验证和优化。



华为何庭波发表题为“半导体新路径探索与实践”的主旨演讲。

